

電子部品の新しいコーティング技術 強誘電体デバイス用絶縁膜の低温作製技術の開発

機械電子部 南川俊治 部家彰 米澤保人

1. 目的

電子デバイスの高集積化，高機能化が進み，半導体プロセスの保護膜，エッチングストップ膜などとして良質の窒化シリコン(SiN_x)膜が期待され，その作製手法として，北陸先端科学技術大学院大学の松村英樹教授がタングステン(W)線を触媒に用いた触媒化学気相成長 (Catalytic chemical vapor deposition :Cat-CVD) 法を提案している。そこでCat-CVD法のデバイス製造工程での実証試験を実施するため，松村教授をプロジェクトリーダーに企業7社および工業試験場で「Cat-CVD法による半導体デバイス製造プロセス」プロジェクトが実施された。

工業試験場では，近年，電子部品にも取り込まれつつある強誘電体，超伝導体等機能性材料である金属酸化物への適用を目的に，次世代メモリと期待されている強誘電体メモリの材料であるチタン酸ジルコン酸鉛($\text{Pb}(\text{Zr}_{0.52}\text{Ti}_{0.48})\text{O}_3$:PZT)上への SiN_x 膜の作製を試みた。

2. 内容

ICメモリカード等の次世代メモリとして期待されている強誘電体メモリは高速動作，高集積性，耐書き換え特性等優れた不揮発メモリである。現在は256kbit程度の比較的low容量の商品化が始まったばかりであり，さらに，高集積化，低消費電力を目指し開発が進められ，プロセス工程で強誘電体を劣化させない低温作製の SiN_x 膜が期待されている。

一方，Cat-CVD法による SiN_x 膜は，耐食性や水素含有量など700 以上の温度を用いる熱CVD法の SiN_x 膜に近い優れた特性を持っている。しかも，熱CVDの作製温度より300～400 低い400 以下の温度で作製されるため，膜中の残留応力も非常に小さい。しかし，強誘電体デバイスの場合， SiN_x 膜を形成する際に，活性な水素が発生し，強誘電体が劣化することが懸念される。

本発表では，良質の SiN_x 膜を強誘電体上に形成するため，触媒体からの熱放射による初期の基板温度の変化を抑制する方法および強誘電体を劣化させない SiN_x 膜の低温(200)形成について報告する。

2.1 Cat-CVD装置

Cat-CVD装置による SiN_x 膜の形成イメージを図1に示す。シャワーヘッドからシラン(SiH_4)，アンモニア(NH_3)を真空中に導入する。図1で最も大きな球がSi原子，次のものがN原子，最も小さいものがH原子を表し，SiにHが4個ついたものが SiH_4 分子，NにHが3個つい

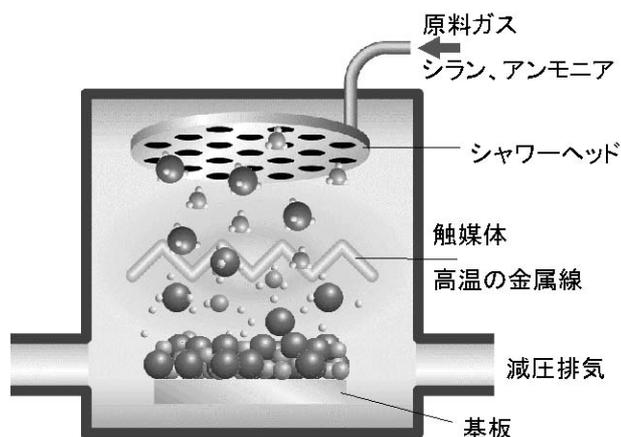


図1 Cat-CVD装置による SiN_x 膜の形成イメージ図

たものがNH₃分子を表している。それらの分子が高温の金属線触媒体上で分解し、その粒子が基板上に飛来しSiN_x膜が堆積する。

このようにCat-CVD装置では、高温の触媒体により、材料ガスを活性化し、薄膜形成に用いることから、広範囲のガス圧で薄膜の低温形成が可能となっている。しかし、高温の触媒体から基板への熱輻射があることから、基板と基板ホルダの熱接触が悪いと基板温度が上昇するなど基板温度の制御性が悪くなる。このため、基板ホルダには静電チャック(electrostatic chuck:ESC)を用い基板と基板ホルダの熱接触を良好にしている。さらに基板ホルダは裏面にヒータによる加熱機構とエア吹き付けによる冷却機構を有している。通常、触媒体と基板との間にシャッタが置かれ、材料ガスを導入後、触媒体を通電加熱し、安定した後シャッタを開放し、薄膜の堆積を開始する。

2.2 PZT強誘電体試料

強誘電体は電界を印加すると分極電荷を発生し、電界を取り去っても分極電荷が残る。この電荷により、トランジスタをON動作あるいはOFF動作させ、不揮発メモリとして動作する。このように強誘電体メモリは強誘電体に蓄えられた電荷すなわち強誘電体キャパシタとトランジスタにより構成される。強誘電体メモリ作製プロセスでは、強誘電体の水素による劣化や積層する膜の残留応力による劣化が問題となる。そこで、強誘電体メモリ作製プロセスへのCat-CVD法の適用の検討は共同研究者であるローム㈱よりPZT強誘電体キャパシタの提供を受けて評価を行った。

PZT強誘電体キャパシタは、6インチのシリコンウエハにシリコン熱酸化(SiO₂/Si)膜を構成し、その上にイリジウム酸化膜(IrO₂)、白金(Pt)の2層の下部電極(Pt/IrO₂)をスパッタリング法により作製し、その上にsol-gel法で300nmのPZTを塗布し、さらにイリジウムベースの上部電極を構成した後、酸素雰囲気中で700℃、1分間の急峻熱処理(rapid thermal annealing:RTA)を施し、結晶化したものである。上部電極のサイズは50μm×50μmである。図2に強誘電体試料の構造ならびにSiN_x膜堆積のイメージ図を示す。

3. 結果

3.1 ウエハ表面温度

Cat-CVD法では、高温の触媒体を真空チャンバ内に配置するため触媒体加熱開始後あるいはシャッタ開放後、高温に加熱された触媒体からの熱輻射により、基板温度が変化する。特に、低温作製の場合や、実用化を目指して堆積速度の高速化を実現するために触媒体が増加した場合は基板温度に大きく影響を与える。そこで、Cat-CVD法によるプロセス中のウエハ表面温度を知るため、Siウエハに熱電対を固定し、NH₃雰囲気中触媒体を加熱して、ウエハ表面温度の測定を行った。シャッタに(a)モリブデン(Mo)金属ならびに(b)石英ガラスを用いた場合のウエハ表面温度の変

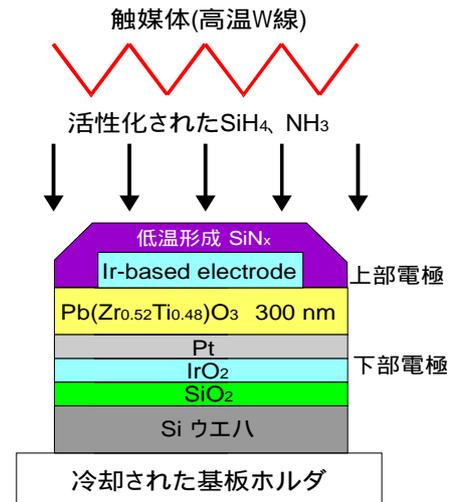


図2 強誘電体キャパシタの構造ならびにSiN_x膜堆積イメージ図

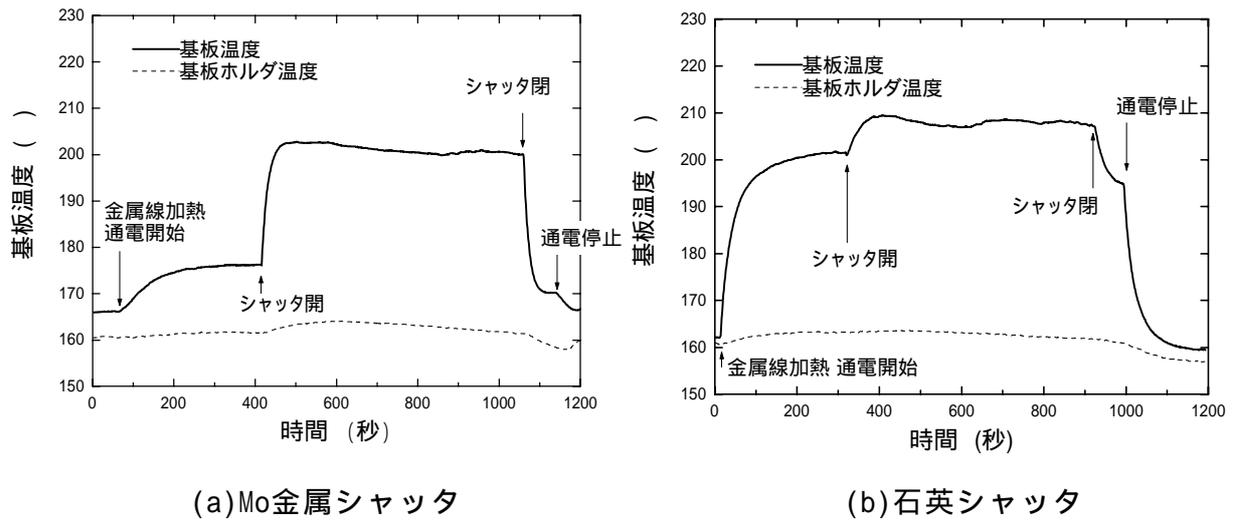


図3 ウエハ表面温度

化を図3に示す。Moシャッタを閉じた状態でも触媒体を1800 に加熱するとウエハ表面温度は上昇する。次にシャッタを開けるとウエハ表面温度は急激に上昇する。しかし、静電チャックを用いたことにより基板と基板ホルダの熱接触が良好で、触媒体からの熱輻射を基板ホルダに逃がし、30秒程度で平衡状態になる。温度の上昇は30 程度に抑制され、さらにその後はほぼ一定の温度になっている。

しかし、Cat-CVD法による SiN_x 膜の低温作製では、屈折率2.0が得られる最適 SiH_4 流量は基板温度に大きく依存することが分かっている。従ってシャッタにMo金属を用いた場合、温度変動が生じている堆積初期に、期待される特性と異なる膜が堆積することになる。さらに強誘電体デバイス用保護膜堆積が1分程度の処理時間になることを考慮すると、堆積した膜のかなりの領域にわたって膜組成がずれることが懸念される。

そこで、シャッタに石英ガラスを用いてウエハ表面温度の測定を行ったところ、図3(b)に示す結果が得られた。石英シャッタ使用すると、触媒体加熱開始後、ウエハ表面温度は大きく上昇するが、シャッタ開放時の初期の温度変化が10 以下に低減されている。これは、シャッタを介した触媒体からの熱輻射により、シャッタ開放前にウエハがある程度事前加熱されるため、シャッタ開放時の温度上昇を抑制できるためである。

3.2 低温作製した SiN_x 膜の特性

石英シャッタの使用による膜堆積初期の温度上昇の低減は、低温での SiN_x 膜作製時の膜厚方向への膜質の均質化に効果を発揮する。また、堆積終了後、シャッタを挿入しても急激な温度変化を示しておらず、膜中のストレスを緩和しながらの降温にもよい影響を与えることができると考えている。

表1 SiN_x 膜低温作製条件

SiH_4 流量	1.5 - 4.0 sccm
NH_3 流量	200 sccm
反応槽圧力	1.3 Pa
W線触媒体	$\phi 0.5 \text{ mm} \times 1850 \text{ mm}$
触媒体への投入電力	850 W
触媒体エリア	160 mm x 170 mm
基板-触媒体間距離	40 mm
ESCP加電圧	3 kV
基板ホルダ温度	150 °C
ホルダ冷却	裏面空冷(100L/min)
Si基板サイズ	6 inch Siウエハ
シャッタ	石英
堆積時間	2 - 10 min

PZTの強誘電特性を劣化させないためには、水素分圧および基板温度を下げる必要がある。水素は SiH_4 および NH_3 の分解により生じることから、反応圧力を低く設定した方が水素分圧を低くできる。そこで、これまでの高温の触媒体で NH_3 を活性化した雰囲気でのPZTキャパシタの曝露処理の結果から、反応槽の圧力を1.3Pa、また SiN_x 膜堆積中の基板表面温度が200℃になるように基板ホルダ温度を150℃に設定し、緻密な SiN_x 膜を堆積することを目的に、Siウエハを基板に用いて最適な SiH_4 の流量の検討を行った。

SiN_x 膜を低温作製する条件を表1に示す。Cat-CVD法では SiH_4 流量に対して数10倍～100

倍程度の NH_3 を供給して SiN_x 膜を作製する。室温での緩衝フッ酸に対する SiN_x 膜のエッチング速度と屈折率の関係は、屈折率2.0近傍で最小値を示し、20nm/min程度となった。しかし、Cat-CVD法で作製した SiN_x 膜としては比較的大きなエッチング速度である。エッチング速度最小値を示した SiN_x 膜について堆積後3か月の大気曝露を施した場合においても、シリコンの酸化が認められず、これはかなり緻密な膜ができていると言える。

図4には表1に示した堆積条件で SiH_4 流量を3.0sccmとしてPZTキャパシタ上に SiN_x 膜を堆積した場合の残留分極-電界(P-E)特性を示す。 SiN_x 膜の堆積前後においても、P-Eヒステリシスループの変化はほとんど観測されず、低電圧駆動も可能となっている。強誘電特性を劣化させずに SiN_x 膜を堆積することができた。

4. まとめ

高温のタングステン線を触媒体として用いたCat-CVD法を強誘電体キャパシタ上に SiN_x 膜を形成する手法として適用する試みを行った。

Cat-CVD法では、高温の触媒体からの熱輻射により、堆積開始初期には基板に大きな温度変化が生じるが、シャッタに光透過性のシャッタを用いることにより、軽減が可能となった。

Cat-CVD法を用いて SiN_x 膜を基板温度200℃という低温で、PZT強誘電体の電気特性を劣化させずにPZT強誘電体キャパシタ上に SiN_x 膜が形成できることがわかった。

この結果、次世代強誘電体メモリ作製にCat-CVD法により作製した SiN_x 膜が適用可能であることがわかった。

本研究の一部は通商産業省大学連携型産業科学技術研究開発プロジェクト「Cat-CVD法による半導体デバイス製造プロセス」の一環として新エネルギー・産業技術総合開発機構(NEDO)より石川県産業創出支援機構に委託され、北陸先端科学技術大学院大学で実施されたものである。

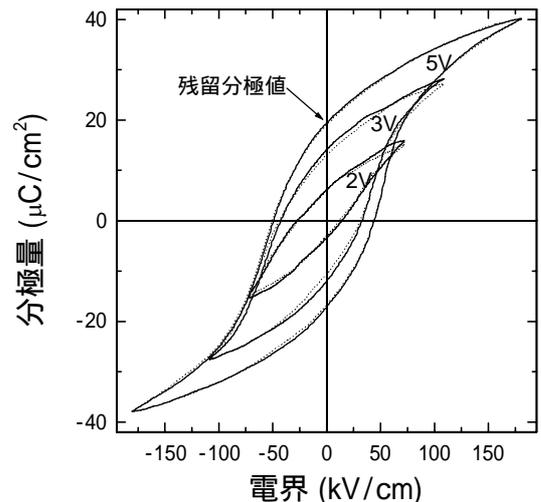


図4 強誘電体キャパシタにおける SiN_x 膜堆積前後のP-E特性
(実線は堆積後、点線は堆積前)